

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Patent Number: JP11354519
Publication date: 1999-12-24
Inventor(s): AKAMATSU KAZUO; KATO TADASHI; MIYAJI SAKAE; KAWAI HIDETOSHI
Applicant(s):: DENSO CORP
Requested Patent: JP11354519
Application Number: JP19980156176 19980604
Priority Number(s):
IPC Classification: H01L21/3205
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To improve the life of an Al alloy wiring by suppressing the generation of any dimple at the Al alloy wiring.

SOLUTION: A titanium film 13a is formed on an inter-layer insulating film, and a titanium nitride film 13b is formed on the titanium film 13a, and a (111) oriented Al alloy layer 13c made of Al-Cu is formed on the titanium nitride film 13b. Thus, the titanium nitride film 13b can be prevented from being brought into contact with the inter-layer insulating film so that the (111) orientation of the titanium nitride film 13b can be ensured without any influence on nitrogen in the titanium nitride film 13b. Therefore, the Al alloy layer 13c formed on the titanium nitride film 13b can be also composed of the (111) orientation, and energy in a grain boundary can be reduced by reducing the defect of the grain boundary of the Al alloy layer 13c. Thus, the formation of a CuAl_x phase can be suppressed, and the generation of any dimple can be suppressed, and the life of a wiring can be improved.

Data supplied from the esp@cenet database - l2

特許 50493
外国特許

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-354519

(43) 公開日 平成11年(1999)12月24日

(51) Int.Cl.⁸

H 0 1 L 21/3205

識別記号

F I

H 0 1 L 21/88

N

審査請求 未請求 請求項の数16 O L (全 10 頁)

(21) 出願番号 特願平10-156176

(22) 出願日 平成10年(1998) 6 月 4 日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 赤松 和夫

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 加藤 忠司

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 宮地 栄

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(74) 代理人 弁理士 伊藤 洋二 (外1名)

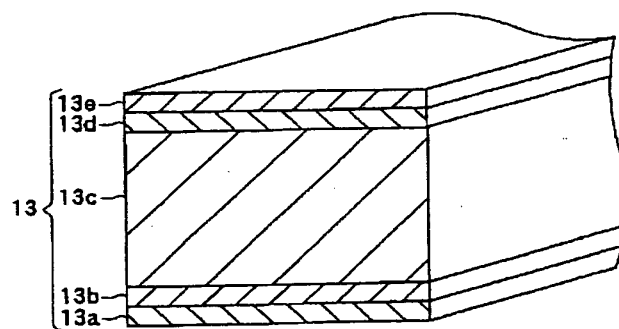
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 Al合金配線にディンブルが発生することを抑制し、配線寿命を向上させる。

【解決手段】 層間絶縁膜上にチタン膜13aを形成したのち、このチタン膜13a上に窒化チタン膜13bを形成し、さらに窒化チタン膜13b上にAl-Cuからなる(111)配向性のAl合金層13cを形成する。これにより、窒化チタン膜13bが層間絶縁膜と接しないため、窒化チタン膜13b中の窒素が影響がなく、窒化チタン膜13bの(111)配向性を確保できる。従って、窒化チタン膜13b上に形成されるAl合金層13cも(111)配向性のもので構成できAl合金層13cの粒界の欠陥を少なくして粒界におけるエネルギーを低くすることができる。これにより、CuAlx相の形成を抑制できると共にディンブルの発生を抑制でき、配線寿命向上を図れる。



【特許請求の範囲】

【請求項1】 半導体素子が形成された半導体基板上に、前記素子と電氣的に接続されたアルミニウム合金配線を備えてなる半導体装置の製造方法において、層間絶縁膜上に第1金属層を形成する工程と、前記第1金属層上に、シリコンが含まれずに銅が含まれた(111)配向性のアルミニウム合金層を形成する工程と、前記第1金属層及び前記アルミニウム合金層とをパターンニングして、前記アルミニウム合金配線を形成する工程とを含み、前記第1金属層を形成する工程では、前記第1金属層の配向状態が、前記アルミニウム合金層を構成する結晶の粒界のエネルギーを低減する状態となるように、前記第1金属層を形成することを特徴とする半導体装置の製造方法。

【請求項2】 前記第1金属層と前記層間絶縁膜との間に、前記第1金属層の(111)配向性を高める第2金属層を形成する工程を有しており、前記アルミニウム合金配線を形成する工程は、前記第1金属層及び前記アルミニウム合金層と共に前記第2金属層をパターンニングする工程であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 半導体素子が形成された半導体基板上に、前記素子と電氣的に接続されたアルミニウム合金配線を備えてなる半導体装置の製造方法において、層間絶縁膜上にチタン膜を形成する工程と、前記チタン膜上に、窒化チタン膜を形成する工程と、前記チタン窒化膜上に、シリコンが含まれずに銅が含まれた(111)配向性のアルミニウム合金層を形成する工程と、前記チタン膜、前記窒化チタン膜及び前記アルミニウム合金層とをパターンニングして、前記アルミニウム合金配線を形成する工程とを含んでいることを特徴とする半導体装置の製造方法。

【請求項4】 前記アルミニウム合金配線を形成する工程は、前記アルミニウム合金層の上にフォトレジストを配置する工程と、前記フォトレジストのうち、前記アルミニウム合金配線が形成される領域以外を除去する工程と、前記フォトレジストをマスクとしたエッチングにより、前記パターンニングを行う工程と、前記アルミニウム合金配線におけるフォトレジストをアルカリ性の剥離液にて除去する工程と、前記剥離液の残留部分を水で除去する工程と、を含んでいることを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項5】 前記アルミニウム合金層を形成する工程では、アルミニウム合金の結晶同士が結合して形成され

る前記アルミニウム合金層を、前記結晶の粒界が交わる核の周囲におけるアルミニウム合金中の銅の含有率が、前記結晶の粒界よりも内側の領域におけるアルミニウム合金中の銅の含有率とほぼ同等となるようにすることを特徴とする請求項1乃至4のいずれか1つに記載の半導体装置の製造方法。

【請求項6】 前記アルミニウム合金層を形成する工程では、前記剥離液の残留部分を水で除去する工程において、前記核とこの核の周囲におけるアルミニウム合金との電位差と、前記核と前記結晶の粒界よりも内側の領域におけるアルミニウム合金との電位差がほぼ同等となるように、前記アルミニウム合金層を形成することを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】 前記半導体基板上に、開口部を有する層間絶縁膜を形成する工程と、前記開口部内に、金属プラグを形成する工程と、を含んでいることを特徴とする請求項1乃至6のいずれか1つに記載の半導体装置の製造方法。

【請求項8】 前記金属プラグを形成する工程は、前記開口部内を含む前記層間絶縁膜上に、バリア金属膜を形成する工程と、前記バリア金属膜上にタングステン膜を形成する工程と、前記バリア金属膜及び前記タングステン膜をエッチバックして、前記開口部内にのみ残す工程と、を含んでいることを特徴とする請求項1乃至7のいずれか1つに記載の半導体装置の製造方法。

【請求項9】 前記半導体基板上に前記アルミニウム合金配線を多数層形成することを特徴とする請求項1乃至8のいずれか1つに記載の半導体装置の製造方法。

【請求項10】 半導体素子が形成された半導体基板と、シリコンが含まれずに銅を含んだアルミニウム合金配線と、を有する半導体装置において、前記アルミニウム合金配線は、(111)配向性のアルミニウム合金膜と、該アルミニウム合金膜の下に形成された(111)配向性の第1金属膜と、該第1金属膜の下に形成されていると共に該第1金属膜の(111)配向性を高める第2金属膜とを含む積層膜を備えていることを特徴とする半導体装置。

【請求項11】 前記第1金属膜は窒化チタン膜であり、前記第2金属膜はチタン膜であることを特徴とする請求項10に記載の半導体装置。

【請求項12】 前記第1金属膜は20nm程度以上の膜厚を有していることを特徴とする請求項10又は11に記載の半導体装置。

【請求項13】 前記半導体基板上に形成され、所定領域に開口部を有する層間絶縁膜と、前記開口部に備えられ、前記素子と電氣的に接続された金属プラグと、を有しており、

前記前記アルミニウム合金配線は、前記金属プラグを含む前記層間絶縁膜上に形成されたものであることを特徴とする請求項10乃至12のいずれか1つに記載の半導体装置。

【請求項14】 前記金属プラグはタングステンを含むタングステンプラグであることを特徴とする請求項10乃至13のいずれか1つに記載の半導体装置。

【請求項15】 前記Al合金配線を挟んで、前記タングステンプラグの反対側には、アルミニウムを含むアルミニウム供給層が備えられていることを特徴とする請求項14に記載の半導体装置。

【請求項16】 前記アルミニウム合金配線は、部分的にマイグレーション速度がアルミニウムよりも遅い金属で構成されていることを特徴とする請求項14又は15に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、微細化に伴う配線寿命の低下が防止できる半導体装置及びその製造方法に関する。

【0002】

【従来の技術】0.5 μ mルール以前の配線プロセスでは、アロイスバイク（AlとSiとの相互拡散による拡散層破壊）を防止する策として、固融度以上のSi

（0.5wt以上）が添加されたAl-Si-Cu合金配線が主流であった。近年、ICの高機能化、高速化の要求から微細化（0.35 μ mルール）が加速され、Siが添加されたことによる配線上のデメリットが顕在化してきた。

【0003】例えば、配線中に固融度以上のSiが存在すると、余剰Siがノジュール化し、このSiが高抵抗であるために配線の実効断面積が小さくなって、配線のエレクトロマイグレーション寿命を低下させるという問題を発生させる。また、コンタクトホール内の微細化により、スパッタAlによる埋め込み配線のカバレージが限界に達しており、コンタクトホール内にAlが十分に入り込まなくなってしまうことから、埋め込み配線としてW（タングステン）が利用されるようになったが、Al内に存在するSiがAlとWとの界面に蓄積してしまい、配線抵抗を上昇させ、配線寿命を低下させるという問題を発生させる。

【0004】このため、Siによるデメリットをなくすために、Siを含有しないAl-Cu配線が利用されるようになった。

【0005】

【発明が解決しようとする課題】しかしながら、SiをなくしてAl-Cu配線を利用すると、配線にディンプル（凹部）が発生し、エレクトロマイグレーション寿命が大幅に低下するという問題が発生することが判った。本発明は上記問題に鑑みてなされ、配線にディンプルが

発生することを抑制し、配線寿命を向上させることを目的とする。

【0006】

【課題を解決するための手段】上記問題を解決するために、本発明者らは以下に示す検討を行った。配線におけるディンプルの発生メカニズムは以下になると推定される。図9にディンプル形成のメカニズムを説明するためのモデルを示す。Al-Cu膜100の成膜はスパッタリング装置にて、基板温度200℃、1分程度で行われる。その温度におけるAl-Cuの状態からスパッタリングによって形成される相を推定すると、Al-Cu固溶体（ α 相）101とCuAl₂（ θ 相）102とが形成され、図9に示すように、Al-Cu固溶体101は母相になり、CuAl₂102は析出相になる。

【0007】これは、隣接する島状構造の結晶同士が互いに接触することで形成されたAl-Cu膜100は、接触部である粒界が結晶欠陥そのものでありエネルギー的に高く（特に粒界同士が交わる核（三重粒界）において高く）なっているため、このエネルギーを下げようとして核の部分にCuAl₂102が析出されるからであると考えられる。

【0008】また、核近傍におけるAl-Cu固溶体101からなる母相は、核近傍のCuがCuAl₂102の析出の際に消費されるため、Cu濃度が低くなり、ほぼ純粋Alと同等になる。この核近傍におけるCu濃度が低い部分をCu低濃度領域103という。このような相で構成されたAl-Cu膜100に対してフォトリソグラフィ工程を行い、配線パターンを形成すると、フォトリソ・エッチング後のアルカリ洗浄工程にて、レジスト剥離液（例えばモノエチルアミン）が水に溶けて強アルカリとなるため、隣接する異種相が互いに異なる電位を有し（電池効果）、これらの間に電位差が発生する。

【0009】このとき、CuAl₂、Al-Cu及び純粋Alの電位の大きさの関係が、純粋Al < Al-Cu < CuAl₂となっていることから、CuAl₂102とCu低濃度領域103との間における電位差が最も大きくなる。このため、この間における腐食スピード（Alの溶出）が早く、核の周囲が深くえぐられたディンプルが発生するのである。

【0010】これに対し、従来のAl-Si-Cu配線のように、Siを含有していると、Al中におけるSiの自己拡散係数がCuよりも大きいことから、結晶粒界にSiが析出するため、結晶粒界にCuAl_x相が析出せず母相全体に分散するため、ディンプルが発生しなかった。従って、結晶粒界におけるCuAl_x相の析出を低減することによって、Al-Cu固溶体においてCu低濃度領域の発生を抑制すれば、ディンプルの発生を防止できると考えられる。

【0011】上述したように、粒界におけるエネルギーを下げるためにCuAl_x相が析出する。このため、C

uAl_x相の析出量は粒界のエネルギー量に依存していると考えられる。このため、粒界におけるエネルギー量を低下させることにより、CuAl_x相の析出量を低減することができるといえる。そこで、従来における配線構造について検討を行った。図10に従来の配線構造の断面図を示し、この図に基づいて検討結果を説明する。

【0012】この図に示されるように、従来の配線構造は、基板に形成された酸化膜(SiO₂)上にバリアメタルとなる窒化チタン膜(TiN)110が配置されてからAl合金層(Al-Cu)111が形成された構成となっている。このように、Al合金層111と酸化膜との間に窒化チタン膜110を介在させることで、Al合金配線のエレクトロマイグレーション寿命やストレスマイグレーション寿命が向上できるようになっている。

【0013】しかしながら、窒化チタン膜110が酸化膜と接しているため、窒化チタン膜110を構成する窒素(N)が影響して窒化チタン膜110の配向性が確保できなくなってしまう、その上に形成するAl合金配線の配向性が悪くなってしまう。粒界におけるエネルギー量は、Al合金配線の配向性に関係しており、Al合金配線の配向性が高いほど結晶面が揃って、結晶と結晶との間、すなわち粒界には欠陥が少なくなるのであるが、Al合金配線の配向性が悪いと粒界の欠陥が多くなり、粒界におけるエネルギーが高くなってしまふ。

【0014】そこで、上記検討に鑑みて、以下の技術的手段を採用する。請求項1に記載の発明においては、第1金属層を形成する工程では、第1金属層の配向状態が、アルミニウム合金層を構成する結晶の粒界のエネルギーを低減する状態となるように、第1金属層を形成することを特徴としている。このように、アルミニウム合金層を構成する結晶の粒界のエネルギーを低減する状態となるように、第1金属層を形成すれば、粒界のエネルギーの低下に応じてCuAl_x相の発生を抑制することができる。これにより、アルミニウム合金配線にディンブルが発生することを抑制でき、配線寿命を向上させることができる。

【0015】具体的には、請求項2に示すように、第1金属層の(111)配向性を高める第2金属層を形成することにより、第1金属層の配向状態が、アルミニウム合金層を構成する結晶の粒界のエネルギーを低減できる状態とすることができる。請求項3に示す発明においては、金属プラグを含む層間絶縁膜上にチタン膜を形成したのち、このチタン膜上に窒化チタン膜を形成し、さらに窒化チタン膜上にシリコンが含まれずに銅が含まれた(111)配向性のアルミニウム合金層を形成することとを特徴とする。

【0016】このように、窒化チタン膜の下にチタン膜を形成することにより、窒化チタン膜が層間絶縁膜と接しないため、窒化チタン膜を構成する窒素が影響せず、窒化チタン膜の(111)配向性が確保できる。このた

め、この窒化チタン膜上に形成されるアルミニウム合金層も(111)配向性のもので構成されアルミニウム合金層の粒界の欠陥を少なくして粒界におけるエネルギーを低くすることができる。これにより、CuAl_x相の形成を抑制でき、ディンブルの発生を抑制することができる。

【0017】具体的には、請求項4に示すように、アルミ合金配線上におけるフォトレジストをアルカリ性の剥離液にて除去する工程と、剥離液の残留部分を水で除去する工程とを含んでいる場合において、剥離液が水に溶けて強アルカリとなっても、粒界同士が交わる核の周囲でディンブルが発生することを抑制することができる。

【0018】つまり、請求項5に示すように、結晶の粒界が交わる核の周囲におけるアルミニウム合金中の銅の含有率が、結晶の粒界よりも内側の領域におけるアルミニウム合金中の銅の含有率とほぼ同等とすれば、ディンブルの発生を抑制することができる。より具体的には、請求項6に示すように、剥離液の残留部分を水で除去する工程において、核とこの核の周囲におけるアルミニウム合金との電位差と、核と結晶の粒界よりも内側の領域におけるアルミニウム合金との電位差がほぼ同等とすれば、核の周囲のみの電位差が高くないため、Alの溶出が早くならず、ディンブルの発生を抑制することができる。

【0019】なお、金属プラグは、請求項8に示すように、開口部内を含む層間絶縁膜上にバリアメタル膜(12a、12b)を形成すると共に、バリアメタル膜上にタングステン膜(12c)を形成し、これらバリアメタル膜及びタングステン膜をエッチバックして開口部内のみ残すことで形成される。また、請求項9に示すように、半導体基板上にアルミニウム合金配線を多数層形成することも可能である。この場合、多数層形成されるアルミニウム合金配線のそれぞれに対して請求項1乃至8に示す発明を適用することができる。

【0020】請求項10乃至16に記載の発明においては、アルミニウム合金配線(13、15、17)は、

(111)配向性のアルミニウム合金膜(13c)と、該アルミニウム合金膜の下に形成された(111)配向性の第1金属膜(13b)と、該第1金属膜の下に形成されていると共に該第1金属膜の(111)配向性を高める第2金属膜(13a)とを含む積層膜を備えていることを特徴としている。

【0021】このように、第2金属膜によって(111)配向性が高められた第1金属膜上は、(111)配向性のアルミニウム合金膜で構成できる。そして、このような(111)配向性のアルミニウム合金膜を含んだものでアルミニウム合金配線を構成することにより、ディンブルが少なく、エレクトロマイグレーション寿命、ストレスマイグレーション寿命等、配線寿命に優れた半導体装置とすることができる。

【0022】具体的には、請求項11に示すように、第1金属膜を窒化チタン膜で構成でき、第2金属膜をチタン膜で構成することができる。また、請求項14に示すように、金属プラグとしてタングステンを含むタングステンプラグで構成することができる。請求項15に示す発明においては、アルミニウム合金配線を挟んで、タングステンプラグの反対側には、アルミニウムを含むアルミニウム供給層(51)が備えられていることを特徴としている。

【0023】このように、タングステンプラグの反対側には、アルミニウムを含むアルミニウム供給層を備えることにより、マイグレーション速度の相違によってアルミニウムボイド(空孔)が発生しようとしても、アルミニウム供給層よりボイド内にアルミニウムを供給することができるため、アルミニウムボイドの発生を抑制することができる。これにより、より配線寿命を向上させることができる。

【0024】請求項16に示す発明においては、アルミニウム合金配線は、部分的にマイグレーション速度がアルミニウムよりも遅い金属(52)で構成されていることを特徴としている。アルミニウムボイドは、マイグレーション速度差によってアルミニウム合金に介在する空孔が蓄積されるために発生する。このため、アルミニウム合金に介在する空孔量が少なくなればアルミニウムボイドも小さくできる。従って、アルミニウム合金配線を部分的にアルミニウムよりもマイグレーション速度が遅い金属で構成することにより、アルミニウムボイドの発生を抑制することができ、配線寿命を向上させることができる。

【0025】なお、上記した括弧内の符号は、後述する実施形態記載の具体的手段との対応関係を示すものである。

【0026】

【発明の実施の形態】以下、本発明を図に示す実施形態について説明する。図1に、本発明の一実施形態を適用した半導体装置として、サリサイド構造を有するCMOSトランジスタを示す。CMOSトランジスタは、p型のシリコン基板1内のn-型ウェル領域2に形成されたPMOSトランジスタと、p-型ウェル領域3に形成されたNMOSトランジスタとから構成されている。PMOSトランジスタとNMOSトランジスタはシリコン基板1の上部に形成されたSTI膜4によって素子分離されている。さらに、STI膜4の側面のうち、シリコン基板1の表面から露出した部分には絶縁膜4aが形成されている。なお、PMOSトランジスタとNMOSトランジスタの構造については、導電型が異なるのみであり、その他の構成については同様であるため、PMOSトランジスタの構造についてのみ説明する。

【0027】n-型ウェル領域2上には、ゲート酸化膜5を介してゲート電極6が形成されている。このゲート

電極6の側面には、側壁酸化膜7が備えられている。また、ゲート電極6の両側にはp+型拡散層からなるソース8・ドレイン9が形成されており、これらソース8・ドレイン9間をチャンネル領域としている。そして、ソース8・ドレイン9は、ゲート電極6から離れる側の端部がSTI膜4側となっている。なお、ソース8・ドレイン9のチャンネル領域側に形成されたp型層10は電界緩和層である。

【0028】さらに、ゲート電極6、ソース8・ドレイン9の上部には、コンタクト用のシリサイド膜6a、8a、9aが形成されている。これにより、シリサイド構造を有するPMOSトランジスタが構成されている。これらPMOSトランジスタ及びNMOSトランジスタを含む基板上には、BPSG、TEOS膜等からなる層間絶縁膜11が形成されており、層間絶縁膜11に形成されたコンタクトホールに埋め込まれたWプラグ12を介して、ソース8・ドレイン9等が1stAl合金配線13と電気的に接続されている。

【0029】この1stAl合金配線13は多層構造で構成されている。具体的なAl合金配線13の構造を図2に示す。この図に示されるように、1stAl合金配線13は、20nm程度の膜厚のTi膜13a、30nm程度の膜厚のTiN膜13b、450~900nm程度の膜厚のAl-Cu膜13c、20nm程度の膜厚のTi膜13d、及び30nm程度の膜厚のTiN膜13eが0.4~0.6μm程度の幅で積層された構成となっている。Al-Cu膜13cは、Cuが0.5wt%含有されたAlで構成されている。

【0030】さらに、1stAl合金配線13上にはTEOS酸化膜等からなる層間絶縁膜14を介して2ndAl合金配線15が形成されており、さらに2ndAl合金配線15上にはTEOS酸化膜等からなる層間絶縁膜16を介して3rdAl合金配線17が形成されている。これら2ndAl合金配線15及び3rdAl合金配線17は、1stAl合金配線13と同様の構成となっている。

【0031】そして、3rdAl合金配線17上には、P-TEOS膜18とP-SiN膜19からなる保護膜が形成されている。このような構造を有してCMOSトランジスタが構成されている。次に、CMOSトランジスタの製造工程を図3~図6に示す。以下、図3~図6に基づいてCMOSトランジスタの製造方法について説明する。

【0032】〔図3(a)に示す工程〕まず、p型のシリコン基板1を用意する。次に、シリコン基板1上に熱酸化膜30を形成し、さらに熱酸化膜(SiO₂)30上にシリコン窒化膜(SiN)31を形成する。そして、フォトリソグラフィ工程を経て、素子分離用のSTI膜4(図1参照)の形成予定領域上における熱酸化膜30及びシリコン窒化膜31を開口させたのち、開口部

からシリコン基板1を所定深さエッチング除去して、素子分離用としてのトレンチ32をパターンニングする。

【0033】このとき、トレンチ32は、素子部における素子分離を十分に行えるように、 $0.3 \sim 0.6 \mu\text{m}$ 程度の深さで形成される。

【図3(b)に示す工程】熱酸化を施し、トレンチ32の内壁に熱酸化膜33を形成してトレンチ32内が丸めたのち、シリコン基板1の全面にTEOS膜を堆積し、トレンチ32をTEOS膜で埋め込む。このとき、TEOS膜34として、HTO-TEOS、LP-TEOS、及び O_3 -TEOS等を用いている。

【0034】そして、CMPにて、シリコン窒化膜31をストッパーとしてTEOS膜を全面研磨して平坦化する。これにより、トレンチ32内にTEOS膜が残され、STI膜4が形成される。

【図3(c)に示す工程】シリコン窒化膜31を除去し、フォトレジスト工程を経てPMOSトランジスタ形成予定領域にn-型ウェル領域2を形成したのち、再度フォトリソグラフィ工程を経てNMOSトランジスタ形成予定領域にp-型ウェル領域3を形成する。

【0035】ウェットエッチングによってシリコン酸化膜30を除去する。そして、ドライブインと同時に犠牲酸化を行う等して、n-型ウェル領域2やp-型ウェル領域3の表面状態を良好にしたのち、熱酸化によってゲート酸化膜5を形成する。そして、ゲート酸化膜5上に厚さ $0.35 \mu\text{m}$ 程度のポリシリコン膜を成膜したのち、フォトリソグラフィ工程を経て、ゲート電極6をパターンニングする。

【0036】次に、CVD法によりウェハ表面全面にTEOS膜等の絶縁膜を堆積したのち、RIE法による異方性エッチングにて絶縁膜をエッチバックし、ゲート電極6の側面に側壁膜7を形成する。

【図4(a)に示す工程】熱酸化等によってイオン注入工程用のスルー膜を形成したのち、NMOSトランジスタ形成予定領域及びPMOSトランジスタ形成予定領域を順にフォトレジストで覆い、PMOSトランジスタ形成予定領域にはp型不純物(例えばボロン)を斜めイオン注入し、NMOSトランジスタ形成予定領域にはn型不純物(例えばリン)を斜めイオン注入する。これにより、側壁膜7で覆われたゲート電極6をマスクとしたイオン注入が行われ、ゲート電極6の両側に電界緩和層10が、ゲート電極6の内側よりに形成される。

【0037】さらに、NMOSトランジスタ形成予定領域及びPMOSトランジスタ形成予定領域を順にフォトレジストで覆い、PMOSトランジスタ形成予定領域にはp型不純物(例えばボロン)を基板法線方向から高濃度にイオン注入し、NMOSトランジスタ形成予定領域にはn型不純物(例えばAs)を基板法線方向から高濃度にイオン注入する。これにより、側壁膜7で覆われたゲート電極6をマスクとしたイオン注入が行われ、ゲ-

ト電極6の両側にソース8、ドレイン9が形成される。

【0038】これによりLDD(Lightly Doped Drain)構造が完成する。そして、スルー膜を除去したのち、チタンシリサイド化工程を行う。まず、チタン(Ti)膜と窒化チタン(TiN)膜を順にウェハ全面に成膜し、さらにAr雰囲気化で短時間熱処理(RTA)を行い、シリサイド化反応を起こさせて、ゲート電極6及びソース8・ドレイン9の露出表面にそれぞれチタンシリサイド膜(TiSi膜)6a、8a、9aを形成する。

【0039】なお、このシリサイド化の熱処理温度はシリサイドの側壁膜7への這い上がり抑制、側壁膜7のSiとの反応防止、C49からC54フェーズへのTiSi2の変態抑制等の観点から 700°C 以下の比較的低温に設定されている。そして、アンモニア・過酸化水素水の混合液で選択エッチングを行い、チタン膜及び窒化チタン膜のうちシリサイド化反応を起こさなかった部分を除去する。これにより、チタンシリサイド膜6a、8a、9aのみが残る。これにより、シリサイド構造が完成する。

【0040】その後、 850°C 程度で2度目の短時間熱処理を行い、チタンシリサイド膜6a、8a、9aを低抵抗化する。

【図4(b)に示す工程】ウェハ表面全面にBPSG、TEOS膜等からなる絶縁膜11を全面に堆積したのち、CMPにより絶縁膜11を平坦化する。

【0041】【図4(c)に示す工程】フォトリソグラフィ工程を経て、絶縁膜11にコンタクトホールを形成する。そして、このコンタクトホール内にバリアメタルとして、Ti膜12aとTiN膜12bとを順に積層し、さらにコンタクトホールをタングステン(W)12cをバリアメタル12a、12b上に積層する。これにより、コンタクトホールはバリアメタル12a、12b及びタングステン12cによって埋め込まれる。

【0042】その後、バリアメタル12a、12b及びタングステン12cをエッチバックし、コンタクトホール内にはのみバリアメタル12a、12b及びタングステン12cを残す。これにより、ソース8、ドレイン9等との電氣的接続が成されたWプラグ12が形成される。

【図5(a)に示す工程】1st Al合金配線12の形成のために、ウェハ表面全面にメタル膜を成膜する。

【0043】メタル膜は、 30 nm 程度の膜厚のTi膜12aと、 20 nm 程度の膜厚のTiN膜12bと、 $450 \sim 900 \text{ nm}$ 程度の膜厚のAl-Cu膜12cと、 20 nm 程度の膜厚のTi膜12dと、 20 nm 程度の膜厚のTiN膜12eとを順に積層形成することによって行う。このように、Al-Cu膜12cやTiN膜12bの下部にTi膜12aを配置しての構成となっている。

【0044】【図5(b)に示す工程】次に、フォトリ

ソグラフィ工程を施し、1st Al合金配線12をパターンニングする。このフォトリソグラフィ工程は、以下のように行う。まず、メタル膜上にフォトレジストを堆積し、このフォトレジストのうち1st Al合金配線12として残す部分以外を開口させる。その後、フォトレジストをマスクとしたエッチング工程を行い、フォトレジストの開口部分におけるメタル配線を除去する。これにより、フォトレジスト下のメタル膜が残り、1st Al合金配線12が形成される。

【0045】次に、モノエチルアミン等のアルカリ水溶液にてフォトレジスト除去工程を施し、フォトレジストを除去して1st Al合金配線12を露出させる。そして、水等によるアルカリ洗浄工程を施し、残留しているアルカリ水溶液を除去する。このような工程を経て、1st Al合金配線12がパターンニングされる。ここで、Ti膜12aを配置してメタル膜を構成した場合と、配置しないでメタル膜を構成した場合について、1st Al合金配線12の(111)配向性X線ピーク強度、及びディンブル半径の最大値を表したものを図6に示す。但し、図中の棒線グラフは(111)配向性X線ピーク強度を示しており、折れ線グラフ(点線部)はディンブル半径の最大値を示している。なお、(111)配向性X線ピーク強度とは、(111)配向性をX線にて測定したのもであり、ピーク強度が高いほど(111)配向性が高いということを示している。

【0046】この図から判るように、Ti膜12aを配置した場合の方が配置しない場合と比べて(111)配向性X線ピーク強度が非常に高くなっており、またディンブル半径の最大値が非常に小さくなっている。つまり、Ti膜12aを配置して、TiN膜12bが絶縁膜11と接しないようになっているため、TiN膜12b中の窒素(N)による影響が現れず、TiN膜12bの(111)配向性が高くなり、TiN膜12b上に形成されるAl-Cu膜12cの(111)配向性も高くなって、結晶粒界における欠陥が低減されると共に、結晶粒界におけるエネルギーが低下され、図6に示す結果となったと考えられる。

【0047】このため、結晶粒界同士が交わる核にCuAlx相が形成されるのを抑制でき、核近傍におけるCu濃度が低くならないように(核から離れた領域と変わらない程度に)でき、レジスト除去工程後のアルカリ洗浄工程の際に残留したレジスト剥離液が水に溶けて強アルカリとなっても、核とその近傍における電位差が高くないようにできる。これにより、ディンブルの発生を抑制することができる。

【0048】〔図5(c)に示す工程〕図4(c)及び図5(a)、(b)に示す1st Al合金配線13と同様の工程を経て、層間絶縁膜14を介して2nd Al合金配線15を形成し、さらに層間絶縁膜16を介して3rd Al合金配線17を形成する。このとき、2nd Al

合金配線15及び3rd Al合金配線17も1st Al合金配線13と同様の構造で構成するため、これら2nd Al合金配線15及び3rd Al合金配線17の形成の際にもディンブルの発生が抑制できる。

【0049】この後、ウェハ表面全面に保護膜16、17を成膜することによって、図1に示す半導体装置が完成する。このように、TiN膜及びAl-Cu膜の下にTi膜が配置されたもので、1st Al合金配線13、2nd Al合金配線15及び3rd Al合金配線17等の各種Al合金配線を構成することにより、ディンブルを低減することができ、エレクトロマイグレーション寿命やストレスマイグレーション寿命を向上させることができる。

【0050】(他の実施形態)第1実施形態では、Al-Cu膜及びTiN膜の下面にTi膜を配置し、TiN膜の(111)配向性を向上させることで、Al-Cu膜の(111)配向性を向上させ、各種Al合金配線におけるディンブルの発生を抑制しているが、Al合金配線における(111)配向性が向上できれば、他の方法によってもディンブルの発生を抑制することができる。

【0051】例えば、図2に示すTiN膜13bの下部にTi膜13aを配置しない構成であっても、スパッタ装置の到達真空度を従来よりも高めることにより、残留ガスが極めて少ない状態での超真空スパッタにてTiN膜13bが形成できるため、残留ガスによる影響を受けず、(111)配向性を向上することができる。具体的には、従来のスパッタ装置の真空度が 1×10^{-8} Torrであるとするれば、ポンプを別途設けることにより真空度を 1×10^{-10} Torr以下にすればよい。

【0052】また、第1実施形態におけるAl合金配線13、15、17とWプラグ12との接続部において、図7に示すように、Al合金配線13、15、17を挟んだWプラグ12の反対側にAl合金層515配置するようにしてもよい。これは、第1実施形態では、コンタクトホールを微細化に対応できるように、CMOSトランジスタや各種Al合金配線13、15、17の電氣的にW(タングステン)を有するWプラグ12を使用しているのであるが、AlとWとが接続される場合、AlとWのマイグレーション速度に差があることから、通電時に物質移動に不均一が生じ(カーケンドール効果)、マイグレーション速度が大きいAlがW近傍で移動してしまい、Al合金に介在する空孔が蓄積されてAlボイド(空洞)が発生するという問題が生じうる。

【0053】このため、Al合金配線13、15、17を挟んだWプラグ12の反対側にAl合金層51を配置すれば、AlボイドにAl合金が供給され、上記問題を解決することができる。これによりAlボイドによる配線寿命低下を防止することができる。また、図8に示すように、第1実施形態におけるAl合金配線の一部をW等のマイグレーション速度の小さい物質52で構成する

ようにしてもよい。

【0054】つまり、上述したようにAlボイドは、マイグレーション速度差によってAl合金に介在する空孔が蓄積されるために発生するため、Al合金に介在する空孔量が少なくなればAlボイドも小さくできる。これにより、Alボイドによる配線寿命の低下を防止することができる。

【図面の簡単な説明】

【図1】本発明にかかわる半導体装置の断面図である。

【図2】図1におけるAl合金配線近傍を拡大した図である。

【図3】図1に示す半導体装置の製造工程を示す図である。

【図4】図3に続く半導体装置の製造工程を示す図である。

【図5】図4に続く半導体装置の製造工程を示す図である。

【図6】図1に示す構造のAl合金配線と従来の構造のAl合金配線との特性を比較した図である。

【図7】他の実施形態におけるAl合金配線近傍を示す拡大図である。

【図8】他の実施形態におけるAl合金配線近傍を示す拡大図である。

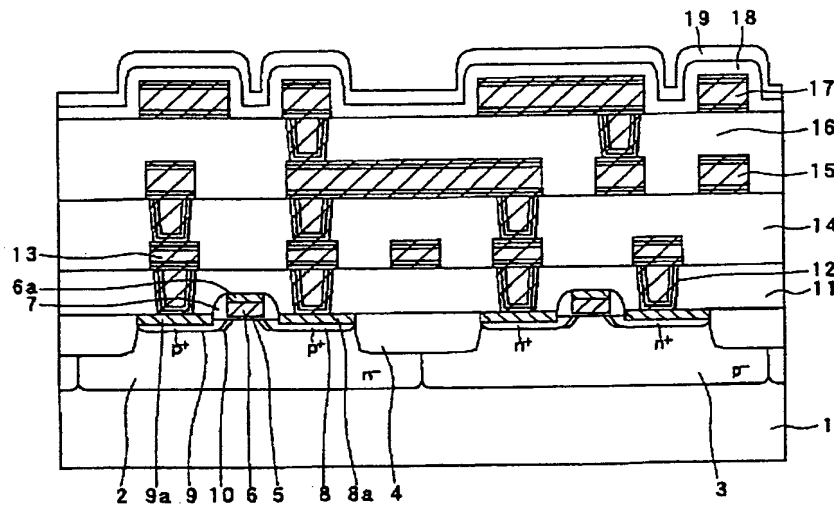
【図9】本発明者らの検討に基づくディンブルの発生メカニズムを説明するための図である。

【図10】従来におけるAl合金配線の構造を説明するための図である。

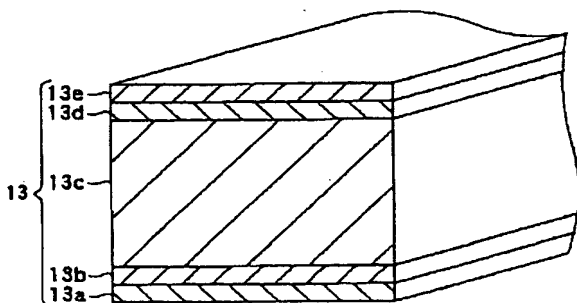
【符号の説明】

1…シリコン基板、2…n-型ウェル領域、3…p-型ウェル領域、4…STI膜、4a…側壁絶縁膜、5…ゲート酸化膜、6…ゲート電極、7…側壁酸化膜、8…ソース、9…ドレイン、10…電界緩和層10、6a、8a、9a…シリサイド膜、11…層間絶縁膜、12…Wプラグ、13…1st Al合金配線、13a…Ti膜、13b…TiN膜、13c…Al-Cu膜、13d…Ti膜、13e TiN膜、14…2nd Al合金配線、15…3rd Al合金配線。

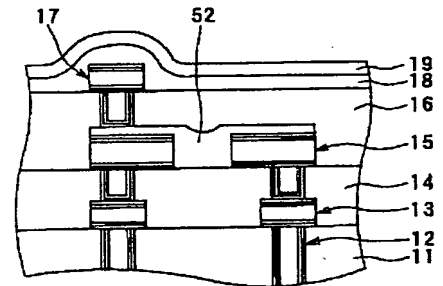
【図1】



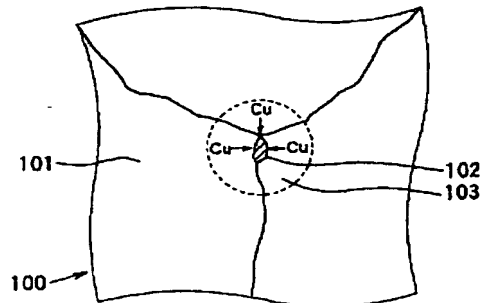
【図2】



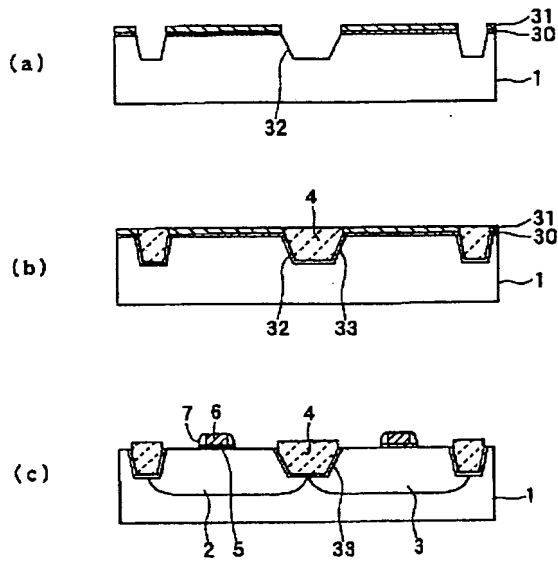
【図8】



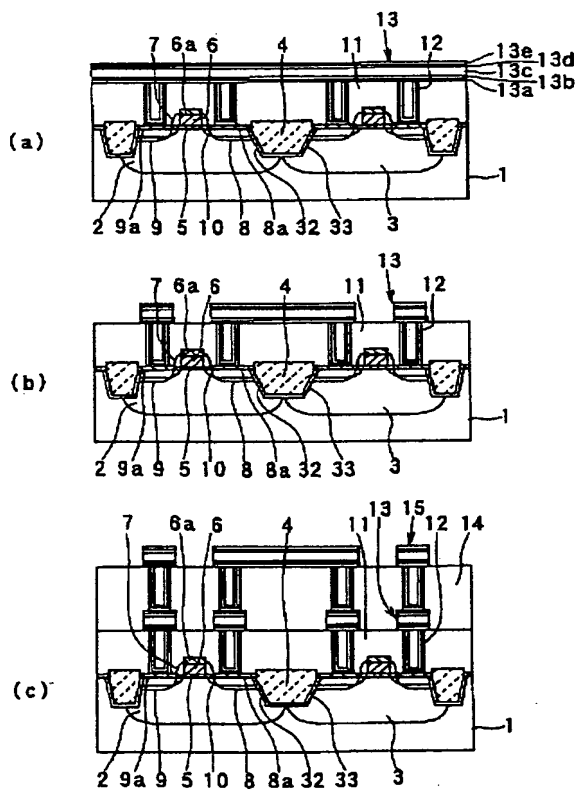
【図9】



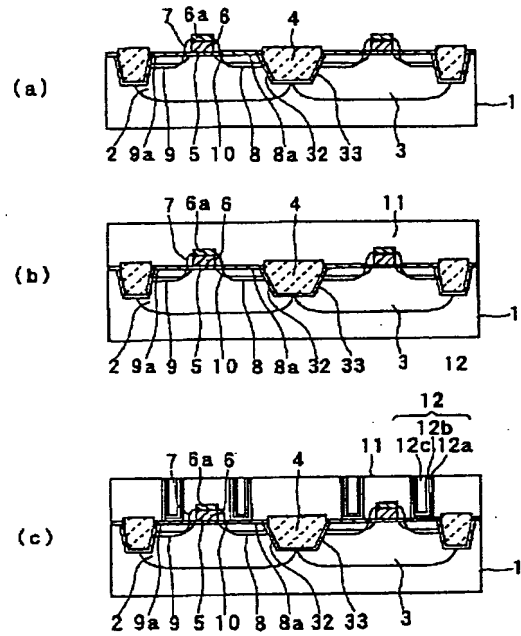
【図3】



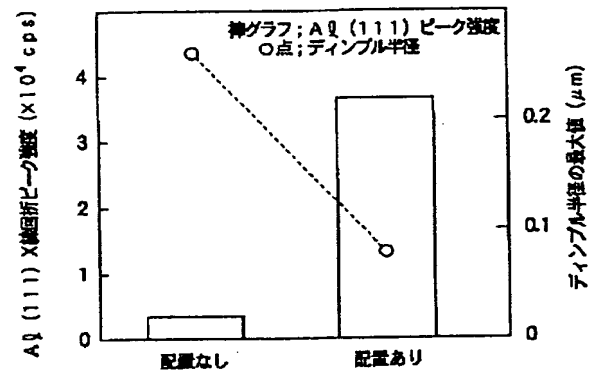
【図5】



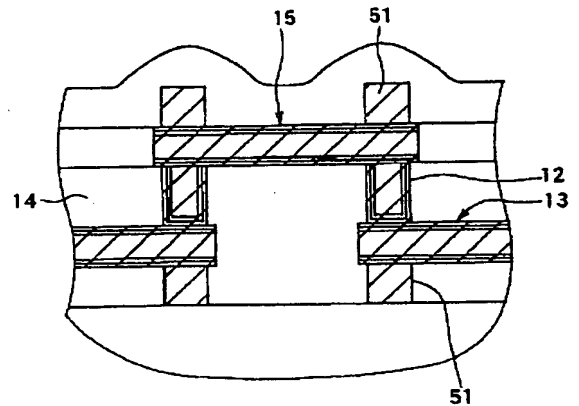
【図4】



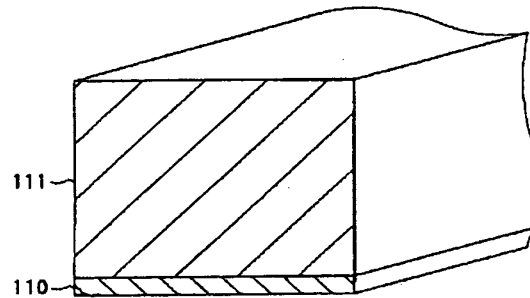
【図6】



【図7】



【図10】



フロントページの続き

(72) 発明者 河合 秀敏
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内